



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09200615 A**(43) Date of publication of application: **31.07.97**

(51) Int. Cl.

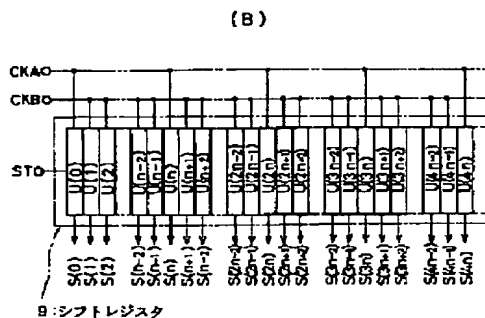
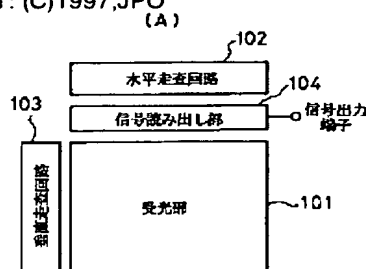
**H04N 5/335**(21) Application number: **08021655**(22) Date of filing: **16.01.96**(71) Applicant: **OLYMPUS OPTICAL CO LTD**(72) Inventor: **GOMI YUICHI**(54) **SOLID-STATE IMAGE PICKUP DEVICE**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a solid-state image pickup device with which the number of parts to be simultaneously selected for layout is not limited without increasing a chip area even when it is possible to select either ordinary scanning for reading out all pixel signals or highspeed scanning for simultaneously selecting pixel signals for a certain unit.

**SOLUTION:** Either of or both a horizontal scanning circuit 102 and a vertical scanning circuit 103 of the solid-state image pickup device are composed of plural steps of shift register units, and clocks inputted to the respective shift register units are connected for each shift register unit to the clock line of system different from the other shift register unit for (n) steps. By controlling clock signals SKA and SKB of respective clock lines, either ordinary image pickup for reading out all the pixel signals or high-speed image pickup for simultaneously selecting and scanning the pixel signals for (n) rows or (n) columns can be selected.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-200615

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl.<sup>6</sup>

H 0 4 N 5/335

識別記号

庁内整理番号

F I

H 0 4 N 5/335

技術表示箇所

P

審査請求 未請求 請求項の数1 F D (全 8 頁)

(21) 出願番号 特願平8-21655

(22) 出願日 平成8年(1996)1月16日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 五味 祐一

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

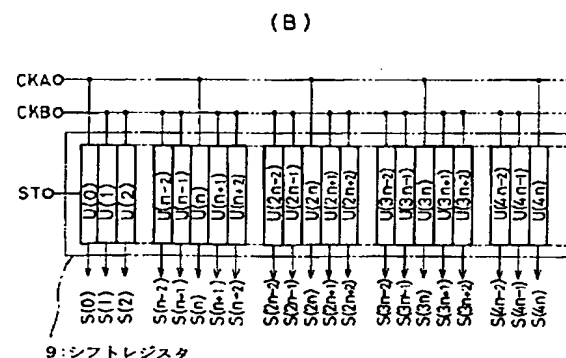
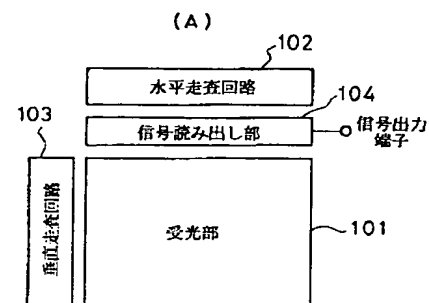
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 画素信号を全て読み出す通常走査と、画素信号をある単位で一括して選択することによる高速走査とを選択できるようにした場合でも、チップ面積が増大せず、レイアウト的に一括選択する数が制限されない固体撮像装置を提供する。

【解決手段】 固体撮像装置の水平走査回路と垂直走査回路のいずれか又は両方を、複数段のシフトレジスタユニットにより構成し、各シフトレジスタユニットに入力されるクロックは、 $n$ 段に1シフトレジスタユニットずつ他のシフトレジスタユニットとは別系統のクロックラインに接続し、それぞれのクロックラインのクロック信号を制御することにより、画素信号をすべて読み出す通常撮像と、画素信号を $n$ 行又は $n$ 列一括して選択走査することによる高速撮像とを選択可能に構成する。



## 【特許請求の範囲】

【請求項1】 光電変換素子を2次元に配列した受光部と、該受光部の画素アレイの光蓄積信号を順次アドレスして読み出すための水平及び垂直走査回路と、信号読み出し部を備えた固体撮像装置において、前記走査回路のいずれか又は両方は、複数段のシフトレジスタユニットからなるシフトレジスタで構成されており、各シフトレジスタユニットに入力されるクロックは、 $n$ 段に1シフトレジスタユニットずつ他のシフトレジスタユニットとは別系統のクロックラインに接続されており、それぞれのクロックラインのクロック信号を制御することにより、画素信号をすべて読み出す通常撮像と、画素信号を $n$ 行又は $n$ 列一括して選択走査する高速撮像とを選択可能に構成したことを特徴とする固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、 $X-Y$ アドレス型固体撮像装置の高速走査に関する。

## 【0002】

【従来の技術】従来、 $X-Y$ アドレス型固体撮像装置において、2次元に配列された画素の信号を全て読み出す通常走査と、画素信号をある単位で一括して選択することによる高速走査とを選択して行えるようにした走査方式が、特開昭63-127657号に開示されており、図9にその構成を、図10の(A)、(B)にそのタイミングチャートを示す。図9は、 $X-Y$ アドレス型固体撮像装置の走査回路を示しており、図において、1と2はクロック入力端子で、入力端子1にはクロックCK1が、入力端子2にはクロックCK2が印加されている。5はスタート信号入力端子で、スタート信号STが印加され、3は走査方法選択信号入力端子で、選択信号が印加されるようになっている。4と6は電源入力端子で、VDDとVSSが印加されている。7は選択ゲート群であり、クロックCK2と入力端子3に印加される選択信号を入力とする排他的論理和で構成されている。9はシフトレジスタであり、シフトレジスタユニット8の繰返しから構成されている。ユニット8はインバータ2段の直列接続から成り立っており、各インバータの直前にスイッチングトランジスタが挿入されている。前後2個あるスイッチングトランジスタの前段のゲートにはクロック信号CK1が入力されており、後段のゲートにはクロック信号CK2又は、CK2と選択信号からなる排他的論理和の出力が入力されている。10~20は走査信号出力端子であり、 $S(0) \sim S(3n)$ が出力されるようになっている。

【0003】次に、図10を用いて図9に示した走査回路の動作について説明する。CK1、CK2はクロック信号で、両者は反転の関係にある。STはスタート信号であり、 $S(0) \sim S(3n)$ は走査信号出力である。まず全画素を読み出す通常走査について、図10の(A)に

示すタイミングチャートに基づいて説明する。このモードでは、選択信号は低電位（以下Lと略す）となっている。したがって、選択ゲートに用いている排他的論理和の出力は、クロック信号CK2と同信号になる。この時、シフトレジスタ9の各ユニット8の動作は、CK1が高電位（以下Hと略す）になった時、前段のユニット8の信号を取り込み、CK2がHとなった時その信号を出力するため、図9の(A)に示す通り、CK2の立ち上がり同期してシフトする走査信号出力 $S(0) \sim S(3n)$ が、各ユニットの出力端子10~20に出力される。

【0004】次に、高速走査の場合を図10の(B)に示すタイミングチャートに基づいて説明する。高速走査の場合、選択信号はHとなっている。したがって、選択ゲートに用いている排他論理和は、インバータとして動作する。それゆえ、排他論理和で処理されるCK2は、CK1と同位相になる。この時、後段のスイッチングトランジスタのゲートに直接CK2が入力されているシフトレジスタのユニットの動作は、図10の(A)に示した通常走査の場合と同様の動作を行う。一方、後段のスイッチングトランジスタのゲートに排他論理和の出力が入力されているシフトレジスタ9のユニット8の動作は、前後段のスイッチングトランジスタが同時にオンオフするため、その出力は、前段のユニット8の信号と同じになる。したがって、図9に示した構成では、図10の(B)に示すとおり、走査信号出力 $S(0) \sim S(n-1)$ 、 $S(n) \sim S(2n-1)$ 、 $S(2n) \sim S(3n-1)$ は同じ出力となり、排他論理和が入力されるユニット8を1ブロックとみなし、そのブロック毎に信号がシフトするため、走査時間が短縮され高速走査となる。

## 【0005】

【発明が解決しようとする課題】しかしながら、従来の選択走査方式を用いて高速走査を実現しようとした場合、走査回路に用いるシフトレジスタユニットの入カクロックを選択するための排他的論理和等のゲートを、一括して選択するユニットに全て設けなければならない。これは、チップ面積の増大につながる。また、選択ゲートは必ずしも走査回路の全ユニットに設ける必要はないが、固体撮像装置の高解像度化が進むにつれ、走査回路の単位回路のピッチがますます小さくなると、レイアウト的に選択ゲートを設けられる数が制限されてしまうという問題点がある。

【0006】本発明は、従来の固体撮像装置の選択走査方式における上記問題点を解消するためになされたもので、画素信号を全て読み出す通常走査と、画素信号をある単位で一括して選択することによる高速走査とを選択できるように構成した場合でも、チップ面積が増大せず、またレイアウト的に一括選択する数が制限されない固体撮像装置を提供することを目的とする。

## 【0007】

【課題を解決するための手段】上記問題点を解決するため、本発明に係る固体撮像装置は、図1の(A)の概念図に示すように、光電変換素子を2次元に配列した受光部101と、該受光部101の画素アレイの光蓄積信号を順次アドレスして読み出すための水平走査回路102及び垂直走査回路103と、信号読み出し部104とを備えており、前記走査回路のいずれか又は両方は、複数段のシフトレジスタユニットからなるシフトレジスタで構成されており、各シフトレジスタユニットに入力されるクロックは、 $n$ 段に1シフトレジスタユニットずつ他のシフトレジスタユニットとは別系統のクロックラインに接続されており、それぞれのクロックラインのクロック信号を制御することにより、画素信号を全て読み出す通常撮像と、画素信号を $n$ 行又は $n$ 列一括して選択走査することによる高速撮像とを選択可能に構成するものである。

【0008】図1の(B)は、本発明の主要部である走査回路の構成を示す概念図である。図1の(B)において、9はシフトレジスタであり、シフトレジスタユニットの繰り返し $[U(0) \sim U(4n)]$ から構成されている。ここで、CKA、CKBはシフトレジスタのクロック信号であり、STはスタート信号である。そして画素信号を $n$ 行又は $n$ 列ずつ選択して走査する場合、各シフトレジスタユニットに入力するクロックを、 $U(0), U(n), U(2n) \dots$ の $n$ 段に対して1シフトレジスタユニットはCKA、その他のシフトレジスタユニットはCKBとする。 $S(0), S(1) \dots$ は、シフトレジスタの出力信号であり、2次元状に配列された画素アレイの行又は列を選択する信号となる。

【0009】以上のように構成し、クロック信号CKA、CKBをそれぞれ独立に制御することにより、画素信号を全て読み出す通常走査と、画素信号をある単位で一括して選択走査することによる高速走査とを選択することが可能となる。また以上のように構成した場合、通常の走査回路と比較するとクロックラインが1系統増えるだけであり、走査回路ユニットを構成するトランジスタの数は変わらない。それゆえ、チップ面積の増大割合を低減し、またレイアウト的に一括選択する数が制限されない固体撮像装置を実現することができる。

【0010】

【発明の実施の形態】

(第1の実施の形態) 次に、第1の実施の形態について説明する。図2は本実施の形態の主要部である走査回路の構成図である。この図2に示す走査回路の説明に先立ち、この走査回路に用いているシフトレジスタの構成を、図3を用いて説明する。このシフトレジスタの構成は、クロックドインバータ2段によって1シフトレジスタユニット8を構成する型のものであり、これを模式的な概念図で示すと、図4のように表される。図5にその動作タイミングを示す。クロック信号はCK1、CK2の2相で、初段シフトレジスタユニット8の入力にスタ

ート信号STが印加されることにより、クロック信号CK1の立ち下がりに同期して、各ユニット8の出力端子より順次、 $S1, S2, S3 \dots$ が出力されるようになっている。なお、XCK1、XCK2は、それぞれクロック信号CK1、CK2の反転信号を示している。

【0011】次に、本実施の形態における走査回路の構成を説明する。図2においては、2相のクロック信号CK1、CK2がA、Bの2系統に分けられており、 $U(0), U(n), U(2n) \dots$ の $n$ 段に対する1シフトレジスタユニットは、A系統のクロック信号(CK1A、CK2A)によって駆動され、一方残りの他のシフトレジスタユニット $[U(1), U(2), U(n-1), U(n+1) \dots]$ は、B系統のクロック信号(CK1B、CK2B)によって駆動されるようになっている。そして、各ユニットの出力である $S(0), S(1), S(2), S(n-1) \dots$ が、2次元状に配列された画素アレイの行又は列を選択する信号となる。この図2において、2系統のクロック信号(CK1A、CK2A)と(CK1B、CK2B)が同一である場合は、図4に示した構成と同一となることは明らかである。

【0012】図6の(A)、(B)は、図2に示した本実施の形態における走査回路の動作を説明するためのタイミングチャートである。図6の(A)の通常走査時のタイミングチャートからわかるように、2系統のクロック信号(CK1A、CK2A)と(CK1B、CK2B)を同一にすることにより、図5に示したタイミングチャートと同様に、CK1A、CK1Bの立ち下がりに同期して各ユニット $[U(0), U(1), U(2), U(n-1) \dots]$ の出力端子より順次、 $S(0), S(1), S(2), S(n-1) \dots$ が出力される。したがってこの動作モードにおいては、行又は列が順次選択される。

【0013】図6の(B)の高速走査時のタイミングチャートに示すように、高速走査時には、クロック信号(CK1B、CK2B)はLレベルに固定し、クロック信号(CK1A、CK2A)は図6の(A)に示した通常走査時と同一とする。この場合、クロック信号(CK1B、CK2B)が入力されるユニット $[U(1), U(2), U(n-1), U(n+1) \dots]$ では、ユニットを構成する2つのクロックドインバータが単なるインバータとして動作することになる。その結果これらのユニット $[U(1), U(2), U(n-1), U(n+1) \dots]$ の出力 $[S(1), S(2), S(n-1), S(n+1) \dots]$ は、前段ユニットの出力と同一となる。すなわち、図6の(B)のタイミングチャートに示すように、 $S(1) \sim S(n-1)$ は $S(0)$ と、 $S(n+1) \sim S(2n-1)$ は $S(n)$ と、 $S(2n+1) \sim S(3n-1)$ は $S(2n)$ と、 $\dots$ 同一となる。したがって、この動作モー

ドにおいては、行又は列が $n$ ケずつ順次選択されるため、走査期間が短縮され高速走査となる。

【0014】以上説明したように図2に示した構成によれば、シフトレジスタのクロック信号を制御することにより、画素信号を全て読み出す通常走査と、画素信号をある単位で一括して選択走査することによる高速走査とを、選択することが可能となる。なお、本実施の形態では、クロックドインバータ2段によってシフトレジスタの1シフトレジスタユニットを構成している例を示したが、別の構成のシフトレジスタユニットであっても構わない。

【0015】(第2の実施の形態)次に、第2の実施の形態について説明する。図7は本実施の形態の主要部である走査回路の構成図である。本実施の形態において、走査回路を構成するシフトレジスタのシフトレジスタユニットの構成は、第1の実施の形態と同様である。また2相のクロック信号CK1、CK2のうちCK2は、A、Bの2系統に分けられており、 $U(0)$ 、 $U(n)$ 、 $U(2n) \cdots$ の $n$ 段に対して1シフトレジスタユニットは、A系統のクロック信号(CK2A)によって駆動され、一方残りの他のシフトレジスタユニット $[U(1), U(2), U(n-1), U(n+1) \cdots]$ は、B系統のクロック信号(CK2B)によって駆動されるようになっているのも、第1の実施の形態と同様である。但し、2相のクロック信号CK1、CK2のうちCK1は、全ユニット共通となっている点異なっている。

【0016】図8の(A)、(B)に本実施の形態の走査回路の動作を説明するためのタイミングチャートを示す。図8の(A)の通常走査時のタイミングチャートからわかるように、クロック信号(CK2A)と(CK2B)を同一にすることにより、第1の実施の形態と同様に、CK1の立ち下がりに同期して各ユニット $[U(0), U(1), U(2), U(n-1) \cdots]$ の出力端子より、順次 $S(0)$ 、 $S(1)$ 、 $S(2)$ 、 $S(n-1) \cdots$ が出力される。したがってこの動作モードにおいては、行又は列が順次選択される。

【0017】図8の(B)のタイミングチャートに示すように、高速走査時には、クロック信号(CK2B)はLレベルに固定し、クロック信号(CK1、CK2A)は図8の(A)に示した通常走査時と同一とする。この場合クロック信号(CK2B)が入力されるユニット $[U(1), U(2), U(n-1), U(n+1) \cdots]$ では、ユニットを構成する2つのクロックドインバータのうち前段のクロックドインバータは、単なるインバータとして動作するため、後段のクロックドインバータがクロックに同期して動作しても、その出力はシフトしない。その結果、これらのユニット $[U(1), U(2), U(n-1), U(n+1) \cdots]$ の出力 $[S(1), S(2), S(n-1), S$

$(n+1) \cdots]$ は、前段ユニットの出力と同一となる。すなわち、第1の実施の形態と同様に、図8の

(B)のタイミングチャートに示すように、 $S(1) \sim S(n-1)$ は $S(0)$ と、 $S(n+1) \sim S(2n-1)$ は $S(n)$ と、 $S(2n+1) \sim S(3n-1)$ は $S(2n)$ と、 $\cdots$ 同一となる。したがって、この動作モードにおいては、行又は列が $n$ ケずつ順次選択されるため、走査期間が短縮され高速走査となる。

【0018】以上説明したように図7に示した構成によれば、シフトレジスタのクロック信号を制御することにより、画素信号を全て読み出す通常走査と、画素信号をある単位で一括して選択走査することによる高速走査とを、選択することが可能となる。本実施の形態の場合、第1の実施の形態に比べ走査信号のクロック信号を削減することができる。また走査回路出力の同期するクロック信号CK1が1系統であるため、2系統の場合に比べシフトレジスタの駆動能力を決めるバッファの設計が容易になる。なお、本実施の形態ではクロックドインバータ2段によってシフトレジスタユニットを構成した例を示したが、第1の実施の形態と同様に別の構成のシフトレジスタユニットであっても構わない。

【0019】

【発明の効果】以上実施の形態に基づいて説明したように、本発明によれば、走査回路のクロック信号を制御することにより、画素信号を読み出す通常走査と画素信号をある単位で一括して選択走査することによる高速走査とを選択することが可能な固体撮像装置を、チップ面積の増大の割合を低減して、またレイアウト的に一括選択する数が制限されずに、実現することができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置及びその主要部である走査回路を示す概念図である。

【図2】本発明の第1の実施の形態の主要部である走査回路の構成図である。

【図3】図2に示した走査回路に用いるシフトレジスタの構成を示す図である。

【図4】図3に示したシフトレジスタを模式的に示す概念図である。

【図5】図3に示したシフトレジスタの動作を説明するためのタイミングチャートである。

【図6】図2に示した走査回路の動作を説明するためのタイミングチャートである。

【図7】本発明の第2の実施の形態の主要部である走査回路の構成図である。

【図8】図7に示した走査回路の動作を説明するためのタイミングチャートである。

【図9】従来の固体撮像装置の走査回路の構成例を示す構成図である。

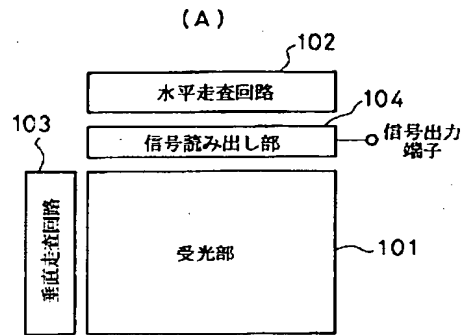
【図10】図9に示した走査回路の動作を説明するためのタイミングチャートである。

## 【符号の説明】

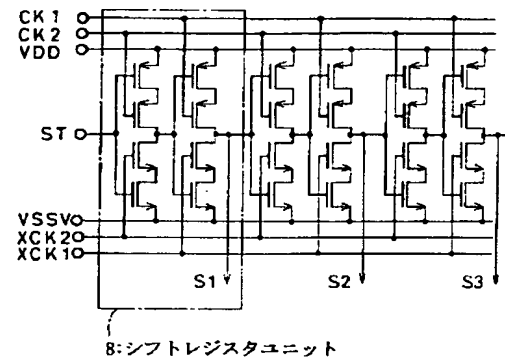
8 シフトレジスタユニット  
9 シフトレジスタ  
101 受光部

102 水平走査回路  
103 垂直走査回路  
104 信号読み出し部

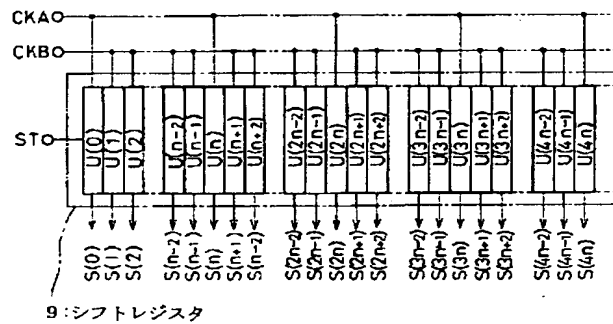
【図1】



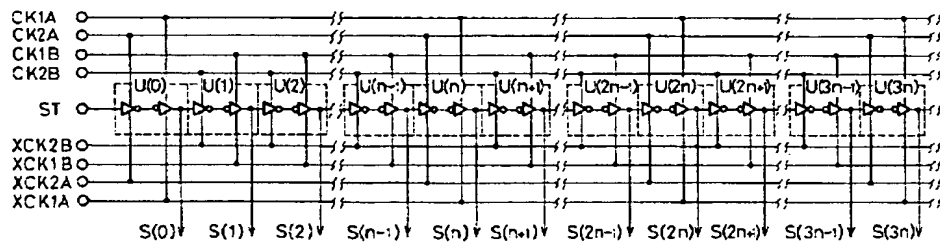
【図3】



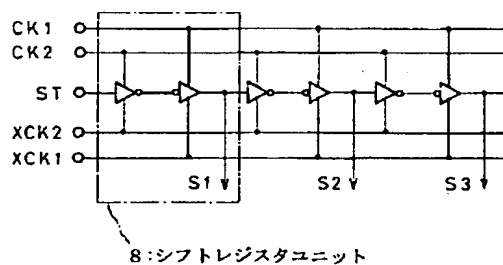
(B)



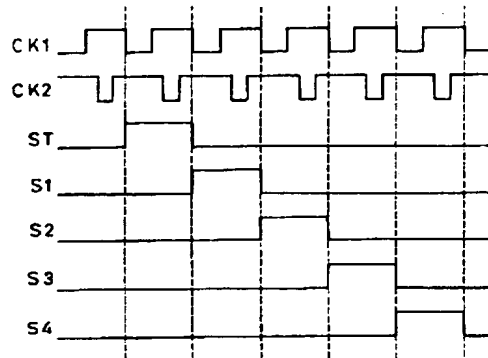
【図2】



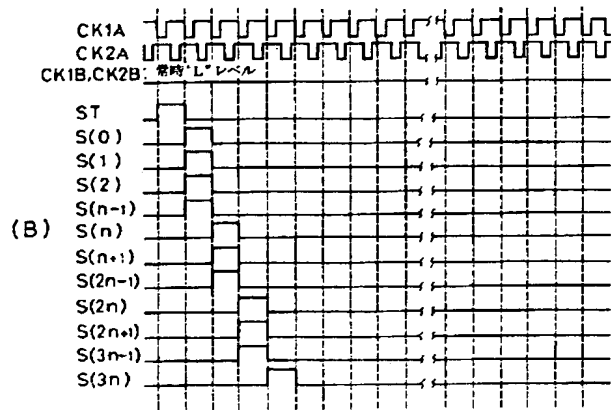
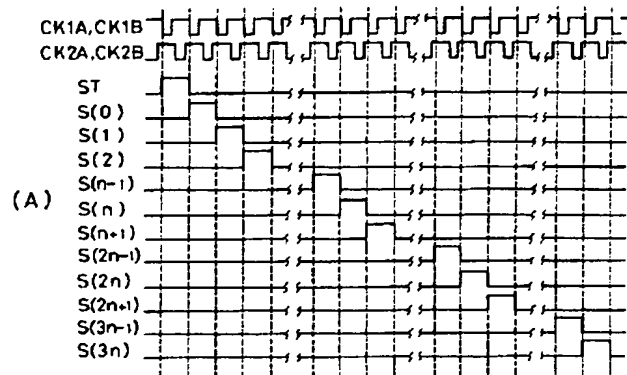
【図4】



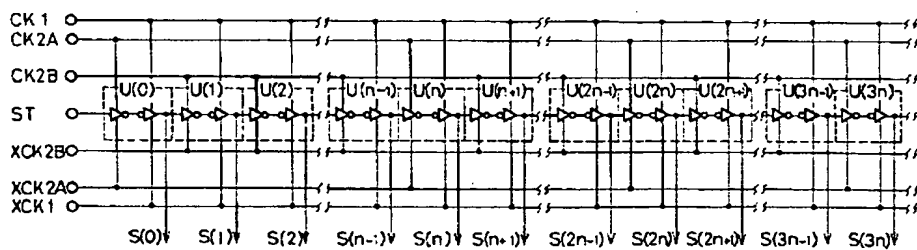
【図 5】



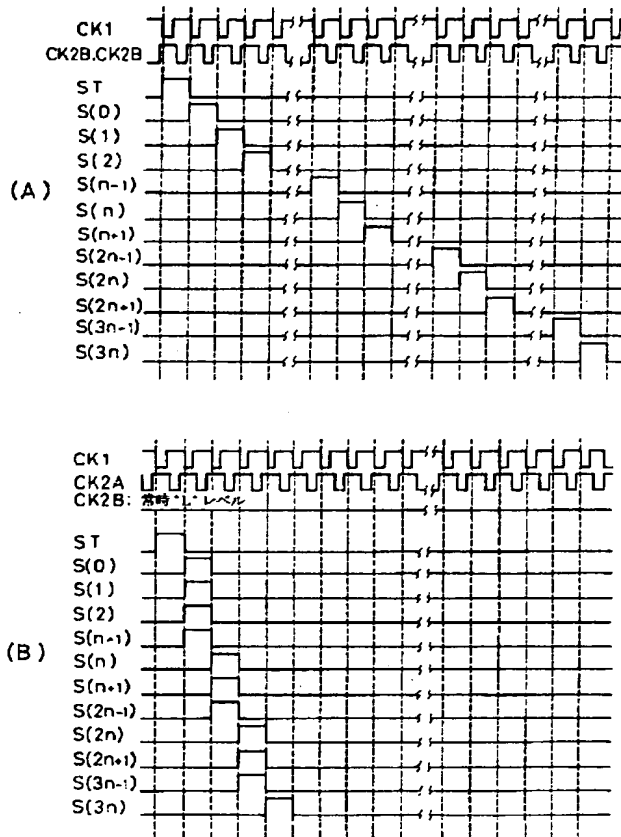
【図 6】



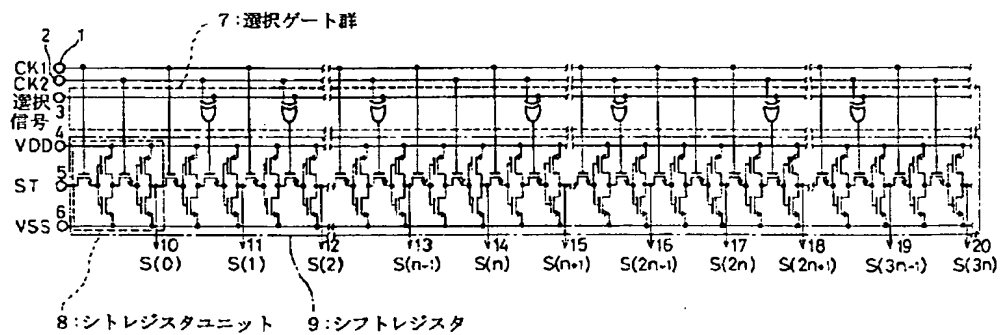
【図 7】



【図8】



【図9】





【図 10】

